

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-316433

(43)Date of publication of application : 29.11.1996

(51)Int.Cl.

H01L 27/108  
H01L 21/8242  
C04B 35/49  
H01L 21/316  
H01L 27/04  
H01L 21/822  
H01L 41/187

(21)Application number : 07-124769

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 24.05.1995

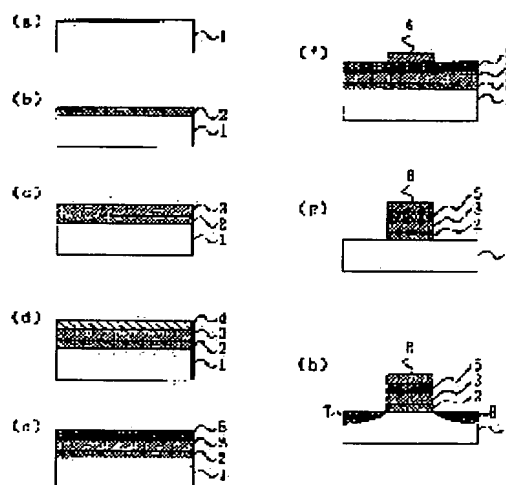
(72)Inventor : ITO TOSHIO

## (54) FORMING METHOD OF FERROELECTRIC THIN FILM OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To exclude lack of oxygen and enable improving the reliability of a semiconductor device.

CONSTITUTION: A thermal oxide film 2 is formed on a P-type silicon substrate 1, a platinum lower electrode 3 is formed on the thermal oxide film 2, and the film formation of PZT is performed. That is, sol solution containing lead acetate/titanium isopropoxide/zirconium isopropoxide/titanium peroxide is applied to the platinum lower electrode 3, and a thin film 4 of a PZT precursor is formed by soft baking. The thin film 4 is heat-treated in an oxygen atmosphere at 700° C, and a PZT thin film 5 of perovskite type crystal is obtained. If necessary, the above operations are repeated, and desired film thickness is obtained.



## LEGAL STATUS

[Date of request for examination] 16.02.2001

[Date of sending the examiner's decision of rejection] 05.08.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-316433

(43) 公開日 平成8年(1996)11月29日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108		9276-4M	H 0 1 L 27/10	6 5 1
21/8242			21/316	U
C 0 4 B 35/49				C
H 0 1 L 21/316			C 0 4 B 35/49	A
			H 0 1 L 27/04	C
審査請求 未請求 請求項の数 2 O L (全 5 頁) 最終頁に続く				

(21) 出願番号 特願平7-124769

(22) 出願日 平成7年(1995)5月24日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 伊東 敏雄

東京都港区虎ノ門1丁目7番12号 沖電気

工業株式会社内

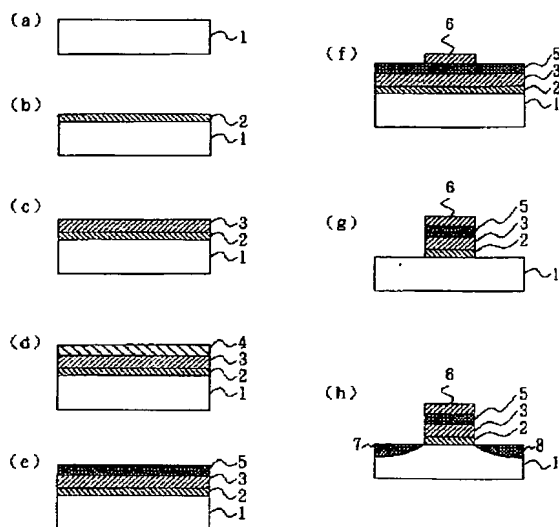
(74) 代理人 弁理士 清水 守 (外1名)

## (54) 【発明の名称】 半導体装置の強誘電体薄膜の形成方法

## (57) 【要約】

【目的】 酸素の欠損が無く、半導体装置の信頼性向上を図り得る半導体装置の強誘電体薄膜の形成方法を提供する。

【構成】 p形シリコン基板1上に熱酸化膜2を形成し、その上に白金下部電極3を形成し、本発明の特徴部分であるPZTの成膜を行う。即ち、白金下部電極3の上に酢酸鉛／チタンイソプロポキシド／ジルコニウムイソプロポキシド／過酸化チタンを含むゾル溶液を塗布し、ソフトベークを行って、PZT前駆体の薄膜4を形成する。次に、これを酸素雰囲気中700℃で熱処理を行い、ペロブスカイト型結晶のPZT薄膜5を得る。必要に応じてこれらの操作を繰り返し、所望の膜厚とする。



1 : p形シリコン基板  
2 : 熱酸化膜  
3 : 白金下部電極  
4 : PZT前駆体の薄膜

5 : ペロブスカイト型結晶のPZT薄膜  
6 : 白金上部電極  
7 : n<sup>+</sup>ソース層  
8 : n<sup>+</sup>ドレイン層

## 【特許請求の範囲】

【請求項 1】 支持基板上に金属アルコキシドからなるゾルゲル法におけるゾル溶液を塗布して焼成する半導体装置の強誘電体薄膜の形成方法において、(a) 支持基板上に下地配線を行う工程と、(b) その上に過酸化チタンまたはその誘導体を含んでなるゾル溶液を塗布し、ソフトベークを行って、PZT 前駆体の薄膜を形成する工程と、(c) 酸素雰囲気中で熱処理を行い、ペロブスカイト型結晶の PZT 薄膜を形成する工程とを施すことを特徴とする半導体装置の強誘電体薄膜の形成方法。

【請求項 2】 支持基板上に金属アルコキシドからなる溶液を霧化・堆積させ、これを焼成する半導体装置の強誘電体薄膜の形成方法において、(a) 支持基板上に下地配線を行う工程と、(b) その上に過酸化チタンまたはその誘導体を含んでなる溶液を支持基板上に霧化・堆積させる工程と、(c) 酸素雰囲気中で熱処理を行い、ペロブスカイト型結晶の BTO 膜を形成する工程とを施すことを特徴とする半導体装置の強誘電体薄膜の形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置の強誘電体薄膜の形成方法に係り、特にゾルゲル法又は他の液体ソースを使用する堆積法によって、耐久性に優れた半導体装置の強誘電体薄膜を形成する方法に関する。

## 【0002】

【従来の技術】 近年、強誘電体薄膜は、その分極反転の高速性や高誘電率の特性を生かした不揮発性メモリや、高集積 DRAM のキャパシタ絶縁膜として応用が検討されている。強誘電体は、例えば、チタン酸ジルコニウム鉛 (PZT) のように金属複合酸化物であり、構成元素の組成は薄膜の電気特性や結晶性に大きな影響を与えるので、特に前述のような半導体デバイスへ応用する場合には、組成の制御が極めて重要である。

【0003】 半導体プロセスでこれまで多用されているスパッタリング法や真空蒸着法では組成制御が難しい。従って、金属アルコキシドを主成分とするゾル溶液からスピンキャストにより膜とする方法や、化学的気相成長 (CVD) の場合に用いる液体ソースを適当な溶剤に溶解させ、基板に噴霧して膜とする方法などがある。これらの成膜工程は、それぞれの方法で基板に成膜を行い、100～300℃程度の乾燥を目的としたベークを行った後、700～800℃程度の高温でベークを行う。後者の高温ベークは結晶化 (ペロブスカイト構造) させるのに必須のものである。そして必要に応じてこれら成膜工程を複数回繰り返し、所望の膜厚の強誘電体薄膜を得る。これら成膜方法は原料の仕込み組成が比較的忠実に最終膜組成に反映される利点がある。

## 【0004】

【発明が解決しようとする課題】 しかしながら、上記した従来の強誘電体薄膜の形成方法においても、若干の問題点を指摘することができる。即ち、結晶化のための高温熱処理過程で膜組成が化学量論よりも酸素が若干欠乏することである。このことは、例えば、図 2 に示すように、ペロブスカイト型結晶構造における酸素が一部抜け、格子欠陥となることを意味し、これが例えば、半導体デバイスに用いる場合には薄膜の劣化によって分極反転特性が低下し、デバイスとしての信頼性を損なうことになるのである。

【0005】 従って、このような酸素の空格子が生じないような強誘電体薄膜の形成方法の開発が望まれていた。本発明は、上記問題点を除去し、酸素の欠損が無く、半導体装置の信頼性向上を図り得る半導体装置の強誘電体薄膜の形成方法を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 本発明は、上記目的を達成するために、

(1) 支持基板上に金属アルコキシドからなるゾルゲル法におけるゾル溶液を塗布して焼成する半導体装置の強誘電体薄膜の形成方法において、(a) 支持基板上に下地配線を行う工程と、(b) その上に過酸化チタンまたはその誘導体を含んでなるゾル溶液を塗布し、ソフトベークを行って、PZT 前駆体の薄膜を形成する工程と、(c) 酸素雰囲気中で熱処理を行い、ペロブスカイト型結晶の PZT 薄膜を形成する工程とを施すようにしたものである。

【0007】 (2) 支持基板上に金属アルコキシドからなる溶液を霧化・堆積させ、これを焼成する半導体装置の強誘電体薄膜の形成方法において、(a) 支持基板上に下地配線を行う工程と、(b) その上に過酸化チタンまたはその誘導体を含んでなる溶液を支持基板上に霧化・堆積させる工程と、(c) 酸素雰囲気中で熱処理を行い、ペロブスカイト型結晶の BTO 膜を形成する工程とを施すようにしたものである。

## 【0008】

## 【作用】

(1) 本発明の請求項 1 記載の半導体装置の強誘電体薄膜の形成方法によれば、図 1 (a) ～ (e) に示すように、p 形シリコン基板 1 上に熱酸化膜 2 を形成し、その上に白金下部電極 3 を形成し、本発明の特徴部分である PZT の成膜を行う。即ち、白金下部電極 3 の上に酢酸鉛／チタンイソプロポキシド／ジルコニウムイソプロポキシド／過酸化チタンを含むゾル溶液を塗布し、ソフトベークを行って、PZT 前駆体の薄膜 4 を形成する。次に、これを酸素雰囲気中 700℃で熱処理を行い、ペロブスカイト型結晶の PZT 薄膜 5 を得る。必要に応じてこれらの操作を繰り返し、所望の膜厚とする。

【0009】 (2) 本発明の請求項 2 記載の半導体装置の強誘電体薄膜の形成方法によれば、図 3 (a) ～

(c) に示すように、シリコン基板 11 に Ti 12 / TiN 13 / Pt 14 を順次堆積し、チタン酸バリウム (BTO) の液体ソースを、基板上に成膜する。これを、200℃でソフトベークして BTO 前駆体膜 15 とする。さらに、700℃の急速熱処理によってペロブスカイト型結晶の BTO 膜 16 を得る。

#### 【0010】

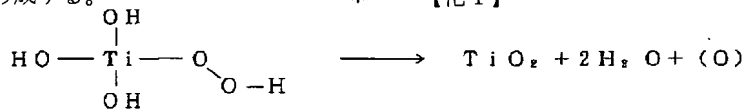
【実施例】以下、本発明の実施例について図を参照しながら説明する。以下の説明において、使用材料及びその量、処理時間、処理温度、膜厚などの数値的条件は、これら発明の範囲内の好適例にすぎない。従って、これら条件にのみ限定されるものではない。

【0011】図 1 は本発明の第 1 実施例を示す半導体装置の強誘電体薄膜の形成工程断面図である。ここでは、PZT を用いたメモリの作製プロセスの一部である PZT 薄膜成膜工程について説明する。本発明の成膜方法は、成膜材料によって酸素欠乏を防ぐものである。即ち、本実施例では、ゾルゲル法を用いて PZT 薄膜を形成するのに、ゾル溶液に過酸化チタンを含む溶液を用いる。

【0012】(1) まず、図 1 (a) に示すように、p 形シリコン基板 1 を用意する。

(2) 次に、図 1 (b) に示すように、その p 形シリコン基板 1 上に急速熱酸化により、熱酸化膜 2 を 5 nm の厚みに形成する。

(3) 次に、図 1 (c) に示すように、この上にスパッタリング法により、(111) 配向の白金下部電極 3 を 200 nm の厚みに形成する。



【0017】以上、本発明の強誘電体薄膜の形成方法について説明した。このようにして形成された強誘電体薄膜は、例えば、以下のような半導体装置として形成される。

(6) さらに、図 1 (f) に示すように、PZT 薄膜 5 上に白金上部電極 6 を形成する。

【0018】(7) 次に、図 1 (g) に示すように、PZT 膜 5、白金下部電極 3、熱酸化膜 2 を加工する。

(8) 次に、図 1 (h) に示すように、上部電極をマスクにして砒素をイオン注入し、熱拡散させて、n<sup>+</sup> ソース層 7 及び n<sup>+</sup> ドレイン層 8 を形成する。このようにして形成されたメモリセルでは、SIMS 分析の結果、深さ方向で組成が良好に制御されており、酸素欠損もないことが分かった。また、分極反転の繰り返し特性も良好であった。

【0019】次に、本発明の第 2 実施例について説明する。図 3 は本発明の第 2 実施例を示す半導体装置の強誘電体薄膜の形成工程断面図である。本発明の強誘電体薄

\* 【0013】(4) 次に、図 1 (d) に示すように、本発明の特徴部分である PZT の成膜を行う。即ち、白金下部電極 3 の上に酢酸鉛/チタンイソプロポキシド/ジルコニウムイソプロポキシド/過酸化チタンを含むゾル溶液を塗布し、ホットプレート上で 200℃、5 分間ソフトベークを行って、PZT 前駆体の薄膜 4 を 120 nm の厚みに形成する。

【0014】ここで用いるゾル溶液は、一般的方法で調整されるが、チタンアルコキシドの一部を過酸化チタンに置き換えている。即ち、酢酸鉛 3 水和物を 2-メトキシエタノールに溶解して 120℃に加熱し、脱水を行う。これにジルコニウムイソプロポキシドとチタンイソプロポキシドと過酸化チタンを加えて加熱を続ける。加える量は成分金属原子数の比 Pb : Zr : Ti が 47 : 53 : 100 で、さらに、チタンイソプロポキシドと過酸化チタンのモル比が 90 : 10 になるように調整している。これに 2-メトキシエタノールと純水を加え濃度調整したものを用いる。

【0015】(5) 次に、図 1 (e) に示すように、これを酸素雰囲気中 700℃で熱処理を行い、90 nm の厚みのペロブスカイト型結晶の PZT 薄膜 5 を得る。この操作を 3 回繰り返し、270 nm の厚みの PZT 薄膜を得る。上記した方法では、高温熱処理過程で減少する酸素が、下式で表されるように膜中の過酸化物の熱分解により生じる活性酸素の形で補われるので、酸素の空格子が生じにくくなる。

#### 【0016】

#### 【化 1】

膜の成膜方法は、第 1 実施例以外の成膜方法にも適用できる。例えば、液体ソースを霧状にして基板に吹きつけ成膜する液体ソース CVD (LSCVD) である。基本的な成膜方法は、例えば、1994 Symposium on VLSI Technology Digest of Technical Papers, p. 153-154 (1994) や、Jpn. J. Appl. Phys., Vol. 33 (1994) pp. 5125-5128. などに記載されている。

【0020】この場合にも液体ソースとして過酸化チタンを含む溶液を用いる。以下、その工程を詳細に説明する。

(1) まず、図 3 (a) に示すように、p 形シリコン基板 11 に Ti 膜 12 / TiN 膜 13 / Pt 膜 14 を順次堆積する (途中プロセス略す)。

(2) 次に、チタン酸バリウム (BTO) の液体ソースを、図 4 に示すような LSCVD 装置を用いて、基板上に成膜する。条件は、基板を  $1 \times 10^{-6}$  mmHg 程度

に真空保持し、超音波発生器 21 からの超音波で液体ソース 22 を霧化し、アルゴンガス 23 と共に真空チャンパー 24 内の基板に導入し、圧力 600 mmHg 程度で成膜する。

【0021】ここで用いる液体ソース 22 は、ビス（2-エチルヘキサン酸）バリウム  $[Ba(O_2CCH(C_2H_5)_2)_2]$  と、チタンテトライソプロポキシドのビスアセチルアセトン錯体と、過酸化チタンの 1-ブタノール溶液である。Ba:Ti は 1:1 であり、チタン錯体と過酸化チタンのモル比は 90:10 である。

【0022】これを、図 3 (b) に示すように、200℃でソフトベークして BTO 前駆体膜 15 とする。

(3) さらに、図 3 (c) に示すように、700℃の急速熱処理によって、ペロブスカイト型結晶の BTO 膜 16 を得る。なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0023】

【発明の効果】以上、詳細に説明したように、本発明によれば、高温熱処理過程で減少する酸素が、膜中の過酸化物の熱分解により生じる活性酸素の形で補われるので、酸素の空格子が生じにくくなる。したがって、本発明によって得られた強誘電体薄膜には酸素の欠損が無く、半導体装置の信頼性向上を図ることができる。

\* 【図面の簡単な説明】

【図 1】本発明の第 1 実施例を示す半導体装置の強誘電体薄膜の形成工程断面図である。

【図 2】ペロブスカイト型結晶構造における酸素が一部抜け、格子欠陥になっている状態を示す図である。

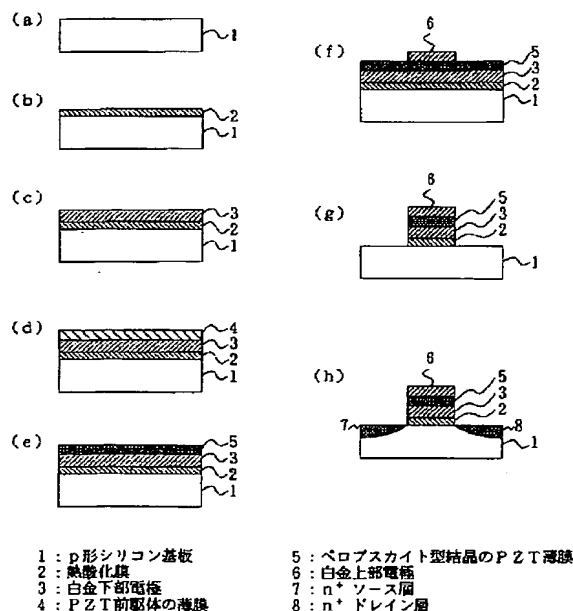
【図 3】本発明の第 2 実施例を示す半導体装置の強誘電体薄膜の形成工程断面図である。

【図 4】LSCVD 装置を示す図である。

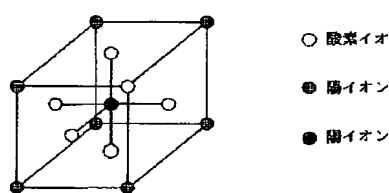
【符号の説明】

- |    |       |                      |
|----|-------|----------------------|
| 10 | 1, 11 | p 形シリコン基板            |
|    | 2     | 熱酸化膜                 |
|    | 3     | 白金下部電極               |
|    | 4     | PZT 前駆体の薄膜           |
|    | 5     | ペロブスカイト型結晶の PZT 薄膜   |
|    | 6     | 白金上部電極               |
|    | 7     | n <sup>+</sup> ソース層  |
|    | 8     | n <sup>+</sup> ドレイン層 |
|    | 12    | Ti 膜                 |
|    | 13    | TiN 膜                |
| 20 | 14    | Pt 膜                 |
|    | 15    | BTO 前駆体膜             |
|    | 16    | ペロブスカイト型結晶の BTO 膜    |
|    | 21    | 超音波発生器               |
|    | 22    | 液体ソース                |
|    | 23    | アルゴンガス               |
| *  | 24    | 真空チャンパー              |

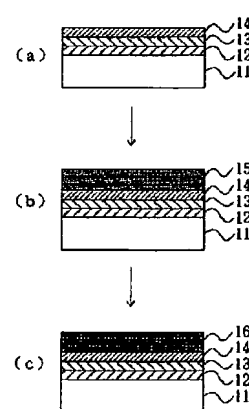
【図 1】



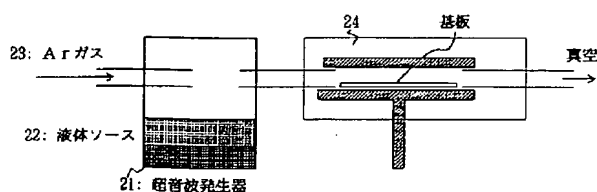
【図 2】



【図 3】



【図 4】



(5)

特開平 8 - 3 1 6 4 3 3

フロントページの続き

(51) Int. Cl.<sup>6</sup>

H 0 1 L 27/04  
21/822  
41/187

識別記号

庁内整理番号

F I

H 0 1 L 41/18

技術表示箇所

1 0 1 D